

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-050233

(43)Date of publication of application : 21.02.1995

(51)Int.Cl.

H01L 21/02

(21)Application number : 05-196057

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 06.08.1993

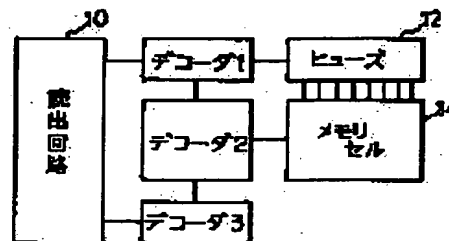
(72)Inventor : NAKATANI TAKASHI

## (54) SEMICONDUCTOR CHIP

## (57)Abstract:

**PURPOSE:** To enable the title semiconductor chip to be identified with one another using a simple means by a method wherein a specific area of the chip is provided with plural fuses representing the identification data on the chip proper according to the existing assembly of cut-off fuse.

**CONSTITUTION:** A fuse circuit 12 is provided with plural fuses comprising polycrystalline Si. The signal terminal of a reading-out circuit 10 is impressed with a normal potential of 0V-5V to activate a circuit formed on a chip by a chip enabling signal E. At this time, 'output command' is inputted in a decoder 3 as an output inhibiting command of a memory cell 14 while 'inhibiting command' is inputted in a decoder 1 as an output command of a fuse circuit 12. The output of the data stored in the memory cell 14 by these commands is in inhibited state so that the logic only corresponding to the existing assembly of cut-off fuse may be outputted to an output terminal. Through these procedures, the chip number can be identified thereby enabling plural fuses to be identified with one another.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50233

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl.<sup>6</sup>  
H01L 21/02識別記号 片内整理番号  
A

P I

技術表示箇所

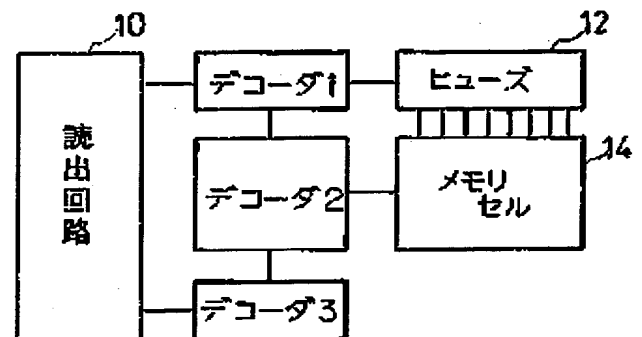
審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平5-198057  
(22) 出願日 平成5年(1993)8月6日(71) 出願人 000001258  
川崎製鉄株式会社  
兵庫県神戸市中央区北本町通1丁目1番28号  
(72) 発明者 中谷 孝  
東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内  
(74) 代理人 弁理士 小杉 昌男 (外2名)

(54) 【発明の名称】 半導体チップ

(57) 【要約】

【目的】簡易な方法で互いに識別できる半導体チップを提供する。

【構成】半導体チップにヒューズ回路12を形成し、このヒューズ回路12には多結晶S<sub>1</sub>からなる8本のヒューズF<sub>a</sub>, F<sub>b</sub>~F<sub>h</sub>を備えた。8本のヒューズの切断の有無の組み合わせに対応する番号をチップの番号とし、この番号を読出回路10により読み出す。

(2)

特開平7-50233

1

## 【特許請求の範囲】

【請求項1】 切断されたヒューズと切断されていないヒューズからなり、これらヒューズの切断の有無の組み合わせに基づいてチップ固有の識別情報を表す複数本のヒューズをチップの所定のエリアに有し、更に、前記情報を読み出すための読出回路を備えたことを特徴とする半導体チップ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体チップに関する。

【0002】

【従来の技術】 従来から多数のウエハを互いに識別し管理するために、ウエハ毎に互いに異なる番号をレーザで印字する方法が知られている。ところがこの方法では、ウエハに形成された複数の半導体チップ（以下、単に「チップ」ということがある。）には番号が印字されないため、一旦ウエハを複数のチップに分離してしまうと、各チップが分離される前にウエハ上のどの位置にあったかを確認することができない。そこで、各チップがウエハ上のどの位置にあったかを、ウエハから分離後にも確認できるようにするために、各チップがウエハ上のどの位置にあったかを示すウエハマップを作成し、ウエハ上の位置に対応する番号を各チップに捺印する方法が考えられる。

【0003】

【発明が解決しようとする課題】 上記した各チップに捺印する方法は、ウエハやチップの個数が少ない場合は可能であるが、ウエハやチップが量産される場合は作業に手間がかかるため現実的には不可能な方法である。各チップ毎に捺印する方法に代えて、各チップ毎に異なる番号を焼き付ける方法も考えられる。しかし、現状のプロセスでは同一のレチクルで各チップを焼き付けるため、異なる番号を表すための異なるパターンを各チップ毎に焼き付けることができない。

【0004】 また、上記いずれかの方法により各チップを識別するための番号等を各チップ毎に付けたとしても、一旦パッケージに封入された後はパッケージを分解してチップを取り出さなければ番号等の確認ができない。従って、ライフテスト パーイン フィールド陸奥

2

表す複数本のヒューズをチップの所定のエリアに有し、更に、前記情報を読み出すための読出回路を備えたことを特徴とするものである。

【0007】 ここで、ヒューズは、多結晶S<sub>1</sub>から形成することが好ましい。また、ヒューズは、レーザでブロー切断することが好ましい。

【0008】

【作用】 本発明の半導体チップには複数本のヒューズが備えられており、これらのヒューズの切断の有無の組み合わせにより、例えば半導体チップを互いに識別するためのチップ番号等の所定の情報を表わすことができる。従って、この所定の情報を読出回路により読み出すことにより複数の半導体チップを互いに識別することができる。

【0009】 ここで、多結晶S<sub>1</sub>からヒューズを形成する場合は、容易にヒューズを形成することができる。また、レーザを用いる場合は、複数の半導体チップ毎に互いに異なる組み合わせになるようにヒューズを容易に切断することができる。

【0010】

【実施例】 以下、図面を参照して本発明の半導体チップの一実施例を説明する。図1はチップに形成された、チップの識別を行うための回路を示すブロック図、図2は図1に示された読出回路を示す回路図、図3は図1に示されたヒューズ回路を示す回路図である。

【0011】 ここに示されたチップは、ウエハに形成された複数のチップのうちの一つであり、複数のチップそれぞれには多結晶S<sub>1</sub>からなる8本のヒューズF<sub>a</sub>～F<sub>h</sub>が形成されている。各チップ毎に互いに異なる組み合わせのヒューズがレーザでブロー切断され、ヒューズの切断の有無の組み合わせに対応する番号がチップの番号とされる。この番号により、チップが形成されていたウエハの番号や分離前のウエハ上の位置が表され、これにより複数のチップを互いに識別できると共にチップの履歴を知ることができる。

【0012】 ヒューズ回路12には、上述したように、多結晶S<sub>1</sub>からなる8本のヒューズF<sub>a</sub>～F<sub>h</sub>が備えられており、例えば図3に示される場合は全てのヒューズが切断されていないため“High”に出力するが、ヒューズを切断することにより切断された端子は“i.o

(3)

特開平7-50233

景、ヒューズ回路12により表される情報を入力するための「出力命令」、メモリセル14に記憶されている情報の出力を禁止するための「禁止命令」は出力されない。一方、トランジスタT<sub>ra</sub>、T<sub>rb</sub>は信号用端子A<sub>9</sub>に7~9V程度の電位が加えられるとオンされるように構成されており、この結果、上記「出力命令」「禁止命令」が出力される。「出力命令」は、メモリセル14の出力禁止命令としてデコーダ3に入力され、「禁止命令」はヒューズ回路12の出力命令としてデコーダ1に入力される。これらの命令によりメモリセル14に記憶されている情報の出力は禁止状態となり、ヒューズの切断の有無の組み合わせに対応する論理のみが出力端子

(図示せず)に出力される。これによりチップの番号が確認でき、複数のヒューズを互いに識別できると共に、例えば信頼性試験、バーイン、フィールド障害等で不良品が発生した場合、プロセス工程においてチップが形成されていたウエハの位置、このウエハ上のチップの位置の追定が可能となり、プロセスへのフィードバックを行うことができる。

【0014】上記実施例ではヒューズを8本としたが、チップの数が増えた場合はヒューズを例えば16本、32本と増やし、信号用端子A9に7~9V程度の電位を加えるとヒューズ8本が表す情報を読み出せるようにし、残りのヒューズ8本が表す情報は信号用端子A8、\*

\* A7に7~9V程度の電位を加えることによりチップN0. 更にはウエハN0. も読み出せるようにすることもできる。

【0015】

【発明の効果】以上説明したように本発明の半導体チップによれば、ヒューズの切断の有無の組み合わせにより、例えば半導体チップを互いに識別するためのチップ番号等の所定の情報を表わすことができ、この情報を読み出回路により読み出すことにより複数の半導体チップを互いに識別することができる。

【図面の簡単な説明】

【図１】本発明の一実施例の半導体チップに形成された、チップの識別を行うための回路を示すブロック図である。

【図2】図1に示された読出回路を示す回路図である。

【図3】図1に示されたヒューズ回路を示す回路図である。

【符号の説明】

### 1.0 讀出回路

## 12 ヒューズ回路

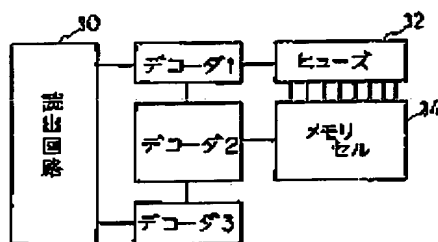
14 メモリセル

### A 9 信号用端子

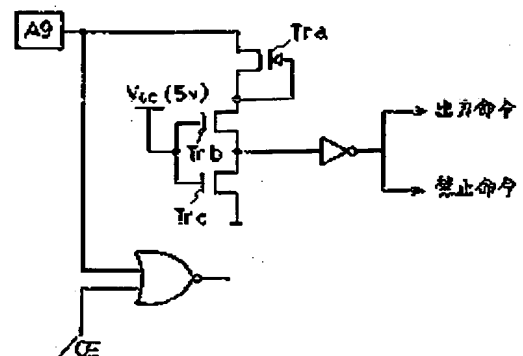
F a, F b ~ F h ヒューズ

Tr a, Tr b, Tr c トランジスタ

【图 1】



【图2】



(4)

特開平7-50233

【図3】

